

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196877

(P2001-196877A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 3 G 3/30		H 0 3 G 3/30	B 5 J 0 9 2
H 0 3 F 3/08		H 0 3 F 3/08	5 J 1 0 0
H 0 3 G 3/20		H 0 3 G 3/20	D 5 K 0 0 2
H 0 4 B 10/02		H 0 4 B 9/00	M
10/18			Y

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願2000-1071(P2000-1071)

(22)出願日 平成12年1月6日(2000.1.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 松井 健一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 野上 正道

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100089118

弁理士 酒井 宏明

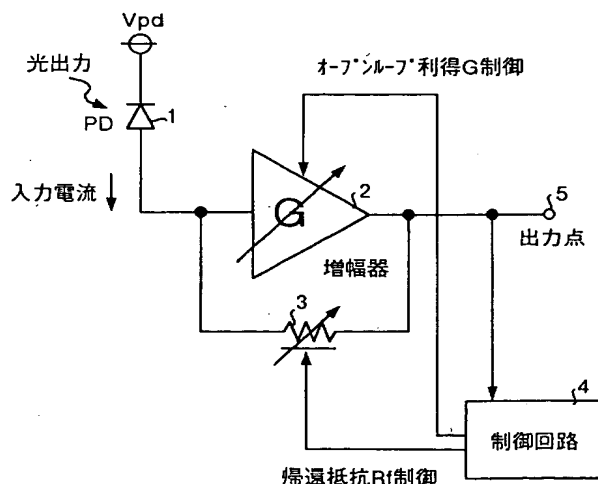
最終頁に続く

(54)【発明の名称】 前置増幅回路

(57)【要約】

【課題】 最小受光側では十分な利得を確保し、最大受光側では回路飽和による出力波歪を低減し、また、消光比劣化が大きい入力信号に対しても、波形歪の増大を抑えつつ、安定動作する前置増幅回路を得ること。

【解決手段】 増幅器2と帰還抵抗3とを備え、電流信号を電圧信号に変換する前置増幅回路において、入力信号のレベルに応じて増幅器2のオープンループ利得および帰還抵抗3を同時に変化させる制御を行う制御回路4を備えている。この制御回路4の制御により、帰還抵抗3は抵抗値を変化させ、増幅器2はオープンループ利得を変化させる。



【特許請求の範囲】

【請求項 1】 増幅手段と帰還抵抗手段とを備え、電流信号を電圧信号に変換する前置増幅回路において、入力信号のレベルに応じて前記増幅手段のオープンループ利得および前記帰還抵抗を同時に変化させる制御を行う制御手段と、

前記制御手段の制御により前記帰還抵抗を変化させる帰還抵抗変化手段と、

前記制御手段の制御により前記増幅手段のオープンループ利得を変化させるオープンループ利得変化手段と、を具備することを特徴とする前置増幅回路。

【請求項 2】 前記オープンループ利得変化手段は、抵抗を直列接続したスイッチ手段を前記増幅手段の増幅部負荷抵抗手段に少なくとも一つ並列接続した回路を有し、前記スイッチ手段は、前記制御手段からの制御によりオン、オフすることを特徴とする請求項 1 に記載の前置増幅回路。

【請求項 3】 前記オープンループ利得変化手段は、抵抗を直列接続したスイッチ手段を前記増幅手段の増幅部エミッタ抵抗手段に少なくとも一つ並列接続した回路を有し、前記スイッチ手段は、前記制御手段からの制御によりオン、オフすることを特徴とする請求項 1 に記載の前置増幅回路。

【請求項 4】 前記オープンループ利得変化手段は、電圧を出力する電源手段と、前記増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側と前記電源手段との間に配置された可変抵抗手段と、を有し、前記可変抵抗手段は、前記制御手段からの制御により抵抗値を変化させることを特徴とする請求項 1 に記載の前置増幅回路。

【請求項 5】 前記オープンループ利得変化手段は、電圧を出力する電源手段と、前記増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側と前記電源手段との間に配置された可変抵抗手段と、を有し、前記可変抵抗手段は、前記制御手段からの制御により抵抗値を変化させることを特徴とする請求項 1 に記載の前置増幅回路。

【請求項 6】 前記電源手段は、無信号時における前記増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力することを特徴とする請求項 4 に記載の前置増幅回路。

【請求項 7】 前記電源手段は、無信号時における前記増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力することを特徴とする請求項 5 に記載の前置増幅回路。

【請求項 8】 前記電源手段は、前置増幅回路と同様の構成のダミー回路を有することを特徴とする請求項 6 または 7 に記載の前置増幅回路。

【請求項 9】 前記制御手段は、入力信号のパケットの先頭において、前記増幅手段のオープンループ利得および前記帰還抵抗を同時に変化させる制御を行うことを特徴とする請求項 1～8 のいずれか一つに記載の前置増幅

回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光通信において電流信号を電圧信号に変換する前置増幅回路に関し、特に、高感度化、広ダイナミックレンジ化が可能な前置増幅回路に関するものである。

【0002】

【従来の技術】マルチメディア社会に向けて大容量情報通信サービスに柔軟に対応するために、光ファイバ伝送技術の加入者網への導入が進められている。光ファイバ伝送技術では、特に、光信号を時間的に分割し、1本の光ファイバに複数の加入者の信号を乗せ、複数の加入者とセンター局とを多重接続する方式が注目されている。この方式においては、交換局の光受信装置で受信される各加入者からの信号（バースト信号）は、着信レベルが大きく異なるものとなる。このような信号を、波形劣化を起こすことなく増幅するために、光受信装置の前置増幅回路には、高感度化および広ダイナミックレンジ化が求められる。特に、消光比劣化の大きい信号を、波形劣化を起こすことなく増幅するためには、前置増幅回路がリニア領域で動作する必要がある。

【0003】従来のこのような前置増幅回路として、たとえば、電子情報通信学会総合大会（1999年）B-10-76に開示された「プリアンプ」がある。図11は、このような従来の前置増幅回路の構成を示す図である。この前置増幅回路は、受光素子（フォトダイオード、以下、PDと呼ぶ）101に接続された増幅器102と、増幅器102の入出力点の間に設けられた第1の帰還抵抗（Rf0）103、第2の帰還抵抗（Rf1）104および第3の帰還抵抗（Rf2）105と、第2の帰還抵抗104に直列接続されたスイッチ106と、第3の帰還抵抗105に直列接続されたスイッチ107と、増幅器102の出力点109に発生する出力信号の大きさに基づいてスイッチ106、107を制御するRf切替制御回路108と、を備えている。

【0004】第1の帰還抵抗（Rf0）103、第2の帰還抵抗（Rf1）104、第3の帰還抵抗（Rf2）105の中で、第1の帰還抵抗（Rf0）103の抵抗値が最も大きく、第2の帰還抵抗（Rf1）104、第3の帰還抵抗（Rf2）105の順で抵抗値が小さくなる。PD101は、電源Vpdに接続されており、光信号を受信して電流信号を出力する。Rf切替制御回路108は、増幅器102の出力点109に発生する出力信号の大きさに基づいて制御信号を生成し、スイッチ106、107に出力する。スイッチ106、107は、Rf切替制御回路108からの制御信号に基づいてオン、オフし、電流経路を開閉する。

【0005】つぎに、この前置増幅回路の動作を説明する。この前置増幅回路の動作においては、まず、PD1

01が光信号を受信して光電変換を行い、バースト状の電流信号を出力する。増幅器102の入力インピーダンスが高いため、PD101からの電流のほとんどは帰還抵抗を流れる。これにより、出力点109に電圧信号が発生する。入力レベル（入力信号のレベル）が所定の値よりも小さい場合、Rf切替制御回路108は、スイッチ106、107をオフ状態にして第2の帰還抵抗（Rf1）104、第3の帰還抵抗（Rf2）105への電流経路を開放し、増幅器102の入出力点間の帰還抵抗の抵抗値を大きくする。これにより、前置増幅回路の電流電圧変換利得が大きくなり、十分大きな出力信号が得られる。

【0006】一方、入力レベルが所定の値以上の場合、Rf切替制御回路108は、入力レベルに応じてスイッチ106および/または107をオンさせて第2の帰還抵抗（Rf1）104、第3の帰還抵抗（Rf2）105への電流経路を導通させ、増幅器102の入出力点間の帰還抵抗の抵抗値を小さくする。これにより、回路飽和が防止される。図12は、この前置増幅回路の入出力特性を示す図である。この前置増幅回路では、帰還抵抗の切替えにより、入出力特性が鋸状となる。このように、従来の前置増幅回路では、最小受光側では十分な利得を確保し、最大受光側では回路飽和による出力波歪を低減している。また、前置増幅回路がリニア域で動作するので、消光比劣化が大きい入力信号に対しても、波形歪の増大が抑えられる。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の技術によれば、帰還抵抗の抵抗値を減少させたとき、高域遮断周波数が大きくなり、位相余裕が小さくなるため、前置増幅回路が不安定になって発振しやすくなるという問題点があった。

【0008】この発明は、上記に鑑みてなされたものであって、最小受光側では十分な利得を確保し、最大受光側では回路飽和による出力波歪を低減し、また、消光比劣化が大きい入力信号に対しても、波形歪の増大を抑えつつ、安定動作する前置増幅回路を得ることを目的とする。

【0009】

【課題を解決するための手段】上述した課題を解決し、目的を達成するために、この発明にかかる前置増幅回路にあっては、増幅手段と帰還抵抗手段とを備え、電流信号を電圧信号に変換する前置増幅回路において、入力信号のレベルに応じて前記増幅手段のオープンループ利得および前記帰還抵抗を同時に変化させる制御を行う制御手段と、前記制御手段の制御により前記帰還抵抗を変化させる帰還抵抗変化手段と、前記制御手段の制御により前記増幅手段のオープンループ利得を変化させるオープンループ利得変化手段と、を具備することを特徴とする。

【0010】この発明によれば、制御手段が、入力信号のレベルに応じて増幅手段のオープンループ利得および帰還抵抗を同時に変化させる制御を行い、帰還抵抗変化手段が、制御手段の制御により帰還抵抗を変化させ、オープンループ利得変化手段が、制御手段の制御により増幅手段のオープンループ利得を変化させ、十分な位相余裕を確保する。

【0011】つぎの発明にかかる前置増幅回路にあっては、前記オープンループ利得変化手段が、抵抗を直列接続したスイッチ手段を前記増幅手段の増幅部負荷抵抗手段に少なくとも一つ並列接続した回路を有し、前記スイッチ手段が、前記制御手段からの制御によりオン、オフすることを特徴とする。

【0012】この発明によれば、スイッチ手段が、制御手段からの制御によりオン、オフ（電流経路を開閉）し、増幅手段の増幅部負荷抵抗手段に並列接続される抵抗を切り替え、増幅手段のオープンループ利得を変化させる。

【0013】つぎの発明にかかる前置増幅回路にあっては、前記オープンループ利得変化手段が、抵抗を直列接続したスイッチ手段を前記増幅手段の増幅部エミッタ抵抗手段に少なくとも一つ並列接続した回路を有し、前記スイッチ手段が、前記制御手段からの制御によりオン、オフすることを特徴とする。

【0014】この発明によれば、スイッチ手段が、制御手段からの制御によりオン、オフ（電流経路を開閉）し、増幅手段の増幅部エミッタ抵抗手段に並列接続される抵抗を切り替え、増幅手段のオープンループ利得を変化させる。

【0015】つぎの発明にかかる前置増幅回路にあっては、前記オープンループ利得変化手段が、電圧を出力する電源手段と、前記増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側と前記電源手段との間に配置された可変抵抗手段と、を有し、前記可変抵抗手段が、前記制御手段からの制御により抵抗値を変化させることを特徴とする。

【0016】この発明によれば、増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側と電源手段との間に配置された可変抵抗手段が、制御手段からの制御により抵抗値を変化させる。

【0017】つぎの発明にかかる前置増幅回路にあっては、前記オープンループ利得変化手段が、電圧を出力する電源手段と、前記増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側と前記電源手段との間に配置された可変抵抗手段と、を有し、前記可変抵抗手段が、前記制御手段からの制御により抵抗値を変化させることを特徴とする。

【0018】この発明によれば、増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側と電源手段との間に配置された可変抵抗手段が、制御手段からの制御により

抵抗値を変化させる。

【0019】 つぎの発明にかかる前置増幅回路にあっては、前記電源手段が、無信号時における前記増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力することを特徴とする。

【0020】 この発明によれば、電源手段が、無信号時における増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力する。これにより、オープンループ利得を変化させることによる直流バイアスの変化を抑えることができる。

【0021】 つぎの発明にかかる前置増幅回路にあっては、前記電源手段が、無信号時における前記増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力することを特徴とする。

【0022】 この発明によれば、電源手段が、無信号時における増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力する。これにより、オープンループ利得を変化させることによる直流バイアスの変化を抑えることができる。

【0023】 つぎの発明にかかる前置増幅回路にあっては、前記電源手段が、前置増幅回路と同様の構成のダミー回路を有することを特徴とする。

【0024】 この発明によれば、電源手段が、ダミー回路により、無信号時における増幅手段の増幅部負荷抵抗手段または増幅部エミッタ抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力する。これにより、オープンループ利得を変化させることによる直流バイアスの変化を抑えることができる。

【0025】 つぎの発明にかかる前置増幅回路にあっては、前記制御手段が、入力信号のパケットの先頭において、前記増幅手段のオープンループ利得および前記帰還抵抗を同時に変化させる制御を行うことを特徴とする。

【0026】 この発明によれば、制御手段が、入力信号のパケットの先頭において、増幅手段のオープンループ利得および帰還抵抗を同時に変化させる制御を行う。これにより、入力信号のパケットの先頭から増幅手段のオープンループ利得および帰還抵抗が同時に変化することになる。

【0027】

【発明の実施の形態】 以下、この発明にかかる前置増幅回路の実施の形態を、図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0028】 実施の形態 1. 図 1 は、この発明の実施の形態 1 にかかる前置増幅回路の構成を示す図である。この前置増幅回路は、受光素子（フォトダイオード、以下、PD と呼ぶ）1 に接続された増幅器 2 と、増幅器 2 の入出力点の間に設けられた帰還抵抗（Rf）3 と、増幅器 2 の出力点 5 に発生する出力信号の大きさに基づいて帰還抵抗（Rf）3 の抵抗値および増幅器 2 のオー

ブンループ利得 G を制御するための制御信号を出力する制御回路 4 と、を備えている。PD 1 は、電源 Vpd に接続されており、光信号を受信して電流信号を出力する。制御回路 4 は、入力信号のレベル（入力レベル）に応じ、帰還抵抗（Rf）3 を変化させると同時に増幅器 2 のオープンループ利得を変化させる制御を行う。

【0029】 以上の構成において、実施の形態 1 の動作について説明する。実施の形態 1 の動作においては、まず、PD 1 が光信号を受信して光電変換を行い、バースト状の電流信号を前置増幅回路に出力する。前置増幅回路では、増幅器 2 の入力インピーダンスが高いため、PD 1 からの電流のほとんどが帰還抵抗（Rf）3 を流れる。これにより、出力点 5 に電圧信号が発生する。制御回路 4 は、前置増幅回路の出力信号の電圧振幅をモニター（検出）することにより PD 1 からの入力レベルをモニター（検出）している。帰還抵抗（Rf）3 は可変抵抗であって、抵抗値を制御する制御部分を有している。また、増幅器 2 は、オープンループ利得 G を制御する制御部分を有している。

【0030】 PD 1 からの入力レベルが所定の値よりも小さい場合、制御回路 4 は、抵抗値を増大させる制御信号を帰還抵抗（Rf）3 に出力し、同時に、オープンループ利得 G を増大させる制御信号を増幅器 2 に出力する。帰還抵抗（Rf）3 の制御部分は、制御回路 4 からの制御信号を入力し、可変抵抗の抵抗値を大きくする。これにより、十分な電流電圧変換利得を得ることができる。一方、増幅器 2 の制御部分は、制御回路 4 からの制御信号を入力し、オープンループ利得 G を大きくする。これにより、帰還抵抗（Rf）3 の抵抗値が大きい場合にも十分な周波数帯域を得ることができる。

【0031】 一方、入力レベルが所定の値よりも大きい場合、制御回路 4 は、入力レベルに応じ、抵抗値を減少させる制御信号を帰還抵抗（Rf）3 に出力し、同時に、オープンループ利得 G を減少させる制御信号を増幅器 2 に出力する。帰還抵抗（Rf）3 の制御部分は、制御回路 4 からの制御信号を入力し、可変抵抗の抵抗値を小さくする。これにより、前置増幅回路の飽和を防止することができる。一方、増幅器 2 の制御部分は、制御回路 4 からの制御信号を入力し、オープンループ利得 G を小さくする。これにより、高域遮断周波数の上昇を抑え、十分な位相余裕を得ることができる。

【0032】 前述したように、実施の形態 1 によれば、帰還抵抗（Rf）3 の抵抗値と増幅器 2 のオープンループ利得 G とを同時に制御するため、最小受光側（入力レベルが小さい場合）において十分な利得および周波数帯域を確保し、最大受光側（入力レベルが大きい場合）において回路飽和による出力波歪を低減し、リニア域で動作することにより波形歪の増大を抑えつつ、位相余裕を確保して安定動作を行うことができる。また、フィードバックにより、帰還抵抗（Rf）3 の抵抗値と増幅器 2

のオープンループ利得 G とを同時に制御するため、素子のばらつきや温度等による影響を抑えることができる。

【0033】実施の形態2. 本発明の実施の形態2は、実施の形態1において、増幅器のオープンループ利得 G を制御する(変化させる)回路として、所定の電圧を出力する電源と、この電源と増幅器の増幅部負荷抵抗の増幅トランジスタ側との間に設けられた可変抵抗と、からなる回路を用いたものである。図2は、本発明の実施の形態2にかかる前置増幅回路の構成を示す図である。なお、図1と同一の部分については同一の符号を付してその説明を省略する。

【0034】この前置増幅回路の増幅器は、増幅部およびバッファ部からなり、バッファ部の出力(前置増幅回路の出力)が帰還部(帰還抵抗 R_f)3を介して増幅部の入力(前置増幅回路の入力)に帰還される。増幅部には、負荷抵抗 (R_l) 21と、増幅トランジスタ23と、エミッタ抵抗 (R_e) 25と、が設けられており、バッファ部には、トランジスタ26および抵抗27が設けられている。増幅トランジスタ23のベース(前置増幅回路の入力)は、帰還抵抗 (R_f) 3およびPD1に接続されている。エミッタ抵抗 (R_e) 25は、増幅トランジスタ23のエミッタとグランドとの間に設けられている。負荷抵抗 (R_l) 21は、電源 V_{cc} と増幅トランジスタ23のコレクタとの間に設けられている。

【0035】増幅トランジスタ23と負荷抵抗21との間の端子(X)22には、バッファ部のトランジスタ26のベースが接続されている。また、バッファ部のトランジスタ26のコレクタは電源 V_{cc} に接続されており、バッファ部のトランジスタ26のエミッタとグランドとの間には抵抗27が接続されている。バッファ部のトランジスタ26と抵抗27との間の端子は、前置増幅回路の出力端子5となる。

【0036】また、増幅トランジスタ23と負荷抵抗21との間の端子(X)22には、可変抵抗 (R_{lv}) 6の一端が接続されている。可変抵抗 (R_{lv}) 6の他端には、所定の電圧を出力する電源(V1)7が接続されている。交流的にみると、増幅器の実効的な負荷抵抗値は、可変抵抗 (R_{lv}) 6と負荷抵抗 (R_l) 21との並列抵抗値になるので、増幅器のオープンループ利得 G は、可変抵抗 (R_{lv}) 6および電源(V1)7が接続されていないとした場合の $R_{lv}/(R_l+R_{lv})$ 倍になる。

【0037】以上の構成において、実施の形態2の動作について説明する。なお、実施の形態1と同一の部分についてはその説明を省略する。実施の形態2の動作において、可変抵抗 (R_{lv}) 6の制御部分は、制御回路4からの制御信号を入力し、オープンループ利得 G を増大させる制御信号であったときは可変抵抗 (R_{lv}) 6の抵抗値を増大させ、オープンループ利得 G を減少させる

制御信号であったときは可変抵抗 (R_{lv}) 6の抵抗値を減少させる。これにより、交流的にみて実効的な増幅部の負荷抵抗値が変化し、オープンループ利得が変化する。

【0038】前述したように、実施の形態2によれば、帰還抵抗 (R_f) 3の抵抗値を制御し、また、これと同時に、交流的にみて実効的な増幅部の負荷抵抗値を変化させてオープンループ利得を変化させることにより増幅器のオープンループ利得 G を制御するため、最小受光側において十分な利得および周波数帯域を確保し、最大受光側において回路飽和による出力波歪を低減し、リニア域で動作することにより波形歪の増大を抑えつつ、位相余裕を確保して安定動作を行うことができる。また、フィードバックにより、帰還抵抗 (R_f) 3の抵抗値と増幅器のオープンループ利得 G とを同時に制御するため、素子のばらつきや温度等による影響を抑えることができる。

【0039】なお、増幅部は、エミッタ設置型であってもよいし、差動型であってもよい。また、可変抵抗 (R_{lv}) 6および電源(V1)7を、端子(X)22ではなく、図3に示すように、増幅トランジスタ23とエミッタ抵抗 (R_e) 25との間の端子(Y)24に接続してもよい。この場合、増幅部の実効的な負荷抵抗ではなく、実効的なエミッタ抵抗が変化することになる。この場合も同様の効果が得られる。

【0040】実施の形態3. 本発明の実施の形態3は、実施の形態2において、電源および可変抵抗に代えて、抵抗を直列接続したスイッチを複数個並列接続した可変抵抗回路を用い、この可変抵抗回路を増幅部の負荷抵抗と並列に設けたものである。

【0041】図4は、本発明の実施の形態3にかかる前置増幅回路の構成を示す図である。なお、基本的な構成は実施の形態2と同様につき、図2と同一の部分については同一の符号を付してその説明を省略し、異なる部分についてのみ説明する。この前置増幅回路では、抵抗 (R_{l1}) 61を直列接続したスイッチ(S.W1)63と、抵抗 (R_{l2}) 62を直列接続したスイッチ(S.W2)64と、が負荷抵抗 (R_l) 21と並列に接続されている。抵抗 (R_{l1}) 61、スイッチ(S.W1)63、抵抗 (R_{l2}) 62およびスイッチ(S.W2)64は、負荷抵抗 (R_l) 21とともに負荷抵抗切替部を構成する。

【0042】第1の負荷抵抗 (R_{l1}) 61、第2の負荷抵抗 (R_{l2}) 62の中で、第1の負荷抵抗 (R_{l1}) 61の抵抗値が最も大きく、第2の負荷抵抗 (R_{l2}) 62の抵抗値が小さくなる。このような構成により、電源を省くことができ、回路構成を簡単化することができる。また、帰還抵抗を切り替える帰還抵抗切替部では、抵抗 (R_{f1}) 32を直列接続したス

スイッチ(S. W1) 34と、抵抗(Rf2) 33を直列接続したスイッチ(S. W2) 35と、を帰還抵抗(Rf0) 31に並列接続した構成となっている。すなわち、抵抗を直列接続したスイッチを、帰還抵抗に複数並列接続した構成となっている。

【0043】これにより、負荷抵抗切替部と帰還抵抗切替部とが同様の構成となる。第1の帰還抵抗(Rf0) 31、第2の帰還抵抗(Rf1) 32および第3の帰還抵抗(Rf2) 33の中で、第1の帰還抵抗(Rf0) 31の抵抗値が最も大きく、第2の帰還抵抗(Rf1) 32、第3の帰還抵抗(Rf2) 33の順で抵抗値が小さくなる。制御回路4は、スイッチ(S. W1) 34、63を同時にオン、オフ(電流経路を開閉)させ、スイッチ(S. W2) 35、64を同時にオン、オフさせる。増幅器の入出力間の帰還抵抗値(帰還抵抗の抵抗値)および増幅部の負荷抵抗値(負荷抵抗の抵抗値)は、スイッチ(S. W1) 34、63およびスイッチ(S. W2) 35、64が全てオフの場合(電流経路を開放した場合)に最も大きくなり、スイッチ(S. W1) 34、63およびスイッチ(S. W2) 35、64が全てオン(電流経路を導通させた場合)に最も小さくなる。

【0044】以上の構成により、実施の形態3の動作について説明する。実施の形態3の動作において、制御回路4は、出力点5に発生する出力電圧の振幅をモニターすることにより入力レベルをモニターし、入力レベルが所定の値よりも小さい場合、十分な電流電圧変換利得が得られるように、スイッチ(S. W1) 34およびスイッチ(S. W2) 35をオフさせ、帰還抵抗値を大きな値に設定する。これと同時に、設定した帰還抵抗値で十分に広い周波数帯域が得られるように、スイッチ(S. W1) 63およびスイッチ(S. W2) 64をオフさせ、増幅部の負荷抵抗値を大きくして増幅器のオープンループ利得Gを大きな値に設定する。

【0045】一方、入力レベルが所定の値以上である場合、制御回路4は、前置増幅回路が飽和するのを防ぐため、入力レベルに応じて、スイッチ(S. W1) 34および/またはスイッチ(S. W2) 35をオンさせ、帰還抵抗値を小さな値に設定する。これと同時に、設定した帰還抵抗値で十分な位相余裕が得られるように、スイッチ(S. W1) 63および/またはスイッチ(S. W2) 64をオンさせ、増幅部の負荷抵抗値を小さくして増幅器のオープンループ利得Gを小さな値に設定する。

【0046】前述したように、実施の形態3によれば、抵抗を直列接続したスイッチを、増幅部の負荷抵抗と並列に複数接続するため、電源が必要なく、構成が簡単になり、コストを低減することができる。なお、前述した例では、抵抗を直列接続したスイッチを2つ並列に接続したが、一つまたは3つ以上でも同様の効果を得ることができる。また、増幅部の負荷抵抗と並列に接続するの

ではなく、図5に示すように、増幅部のエミッタ抵抗と並列に接続するようにしてもよい。この場合、入力レベルに応じて増幅部のエミッタ抵抗の抵抗値が変化することになる。この場合も同様の効果が得られる。

【0047】実施の形態4. 本発明の実施の形態4は、実施の形態2において、前置増幅回路と同様の構成のダミー回路を電源として用い、この電源の電圧値が無信号時における端子(X) 22の電圧値と等しくなるようにしたものである。

【0048】図6は、本発明の実施の形態4にかかる前置増幅回路の構成を示す図である。なお、基本的な構成は実施の形態3と同様であるので、同一の部分については同一の符号を付してその説明を省略する。この前置増幅回路には、この前置増幅回路と同様の構成のダミー回路70が接続されている。ダミー回路70の抵抗703、707、709、710は、前置増幅回路の負荷抵抗(R1) 21、エミッタ抵抗(Re) 25、抵抗27、帰還抵抗(Rf0) 31と対応し(同一のものであり)、ダミー回路70のトランジスタ705、708は、前置増幅回路のトランジスタ23、26と対応する(同一のものである)。

【0049】ダミー回路70のトランジスタ705と抵抗703との間の端子(X2) 704(前置増幅回路の端子(X) 22に対応する端子)と電源Vccとの間にはコンデンサ(C1) 701が設けられ、トランジスタ705のベースと電源Vccとの間にはコンデンサ(Cpd) 702が設けられている。抵抗(R11) 61、スイッチ(S. W1) 63の直列回路および抵抗(R12) 62、スイッチ(S. W2) 64の直列回路は、それぞれ一端が端子(X) 22に接続され、他端が端子(X2) 704に接続されている。この構成は、図2に示した電源7の電圧値を、無信号時における増幅部負荷抵抗(R1) 21の増幅トランジスタ側端子(X) 22の電圧値と同じ値とするものである。

【0050】以上の構成において、実施の形態4の動作について説明する。なお、実施の形態2、実施の形態3と同一の部分についてはその説明を省略し、異なる部分についてののみ説明する。実施の形態4の動作においては、ダミー回路70の端子(X2) 704の電位はコンデンサ(C1) 701で固定される。この電位は、無信号時における増幅部負荷抵抗(R1) 21の増幅トランジスタ側端子(X) 22の電位と等しいものとなるため、増幅器のオープンループ利得Gを変化させることが原因で回路の直流バイアスが変化することが無くなる。

【0051】前述したように、実施の形態4によれば、電源電圧値を、無信号時における増幅部負荷抵抗(R1) 21の増幅トランジスタ側端子(X) 22の電圧値と等しくしたため、増幅器のオープンループ利得Gを変化させることが原因で回路の直流バイアスが変化することが無くなり、無信号時における出力点電位の変動やバ

ーストパケットごとの消費電力変動を抑えることができる。また、ダミー回路70を用いることにより、温度、電源等による変動を抑えることができる。

【0052】また、図7に示すように、抵抗(R11)61、スイッチ(S.W1)63の直列回路および抵抗(R12)62、スイッチ(S.W2)64の直列回路の一端を、エミッタ抵抗(R_e)25の増幅トランジスタ側端子(Y)24に接続するようにしてもよい。この場合、ダミー回路70のエミッタ抵抗(R_e)707の増幅トランジスタ側端子(Y2)706とグランドとの間にコンデンサ701が配置され、抵抗(R11)61、スイッチ(S.W1)63の直列回路および抵抗(R12)62、スイッチ(S.W2)64の直列回路の他端が端子(Y2)706に接続される。この場合も同様の効果が得られる。

【0053】実施の形態5。本発明の実施の形態5は、実施の形態3、実施の形態4において、入力信号のパケットの先頭において、制御回路が増幅器のオープンループ利得Gおよび帰還抵抗を同時に変化させる制御を行うようにしたものである。以下、実施の形態3、実施の形態4と同一の部分についてはその説明を省略し、制御回路についてのみ説明する。

【0054】図8は、本発明の実施の形態5にかかる制御回路の構成を示す説明図である。この制御回路は、PD1からの入力信号のパケットの先頭を検出する先頭検出器8と、先頭検出器8がパケットの先頭を検出したとき、入力レベルに応じてスイッチ(S.W1)63、34およびスイッチ(S.W2)64、35を制御するスイッチコントローラ9と、を備えている。

【0055】先頭検出器8は、出力点5に発生する前置増幅回路の出力信号および基準電圧V_{ref0}を入力して比較するコンパレータ81と、コンパレータ81の出力信号をセット端子から入力し、リセットパルスのリセット端子から入力するRSフリップフロップ83と、RSフリップフロップ83の出力信号を入力し、またコンパレータ81の出力信号を反転して入力するANDゲート82と、リセットパルスBをセット端子から入力し、ANDゲート82の出力信号をリセット端子から入力するRSフリップフロップ84と、を備えている。RSフリップフロップ84の出力信号は、先頭検出器8の出力信号となる。

【0056】スイッチコントローラ9は、前置増幅回路の出力信号および基準電圧V_{ref1}を入力して比較するコンパレータ91と、前置増幅回路の出力信号および基準電圧V_{ref2}を入力して比較するコンパレータ94と、コンパレータ91の出力信号および先頭検出器8の出力信号を入力するANDゲート92と、コンパレータ94の出力信号および先頭検出器8の出力信号を入力するANDゲート95と、ANDゲート92、95の出力信号を入力するANDゲート96と、ANDゲート9

2の出力信号をセット端子から入力し、リセットパルスBをリセット端子から入力するRSフリップフロップ93と、ANDゲート96の出力信号をセット端子から入力し、リセットパルスBをリセット端子から入力するRSフリップフロップ97と、を備えている。

【0057】RSフリップフロップ93は、スイッチ(S.W1)63、34をオン、オフさせる制御信号を出力し、RSフリップフロップ97は、スイッチ(S.W2)64、35をオン、オフさせる制御信号を出力する。また、基準信号V_{ref0}は、入力レベルが最小の場合でも信号が入力されたことを検出することができるレベルに設定される。また、V_{ref1}、V_{ref2}は、入力レベルを判定できるように、V_{ref1}<V_{ref2}となるように設定される。

【0058】以上の構成において、実施の形態5の動作について、タイミングチャートを参照して説明する。図9は、実施の形態5にかかる制御回路の動作を示すタイミングチャートである。制御回路の動作において、バーストパケット間のガードタイムGT期間では、入力データ(前置増幅回路の出力信号)Aがオフ(ローレベル)となり、コンパレータ81、91、94の出力信号C、D、Eもオフとなり、ANDゲート92、95、96の出力信号G、H、Iもオフとなる。また、リセットパルスBが立ち上がり(ハイレベルとなり)、RSフリップフロップ93、97の出力信号J、Kがオフとなる。すなわち、制御回路からは、スイッチ(S.W1)63、34およびスイッチ(S.W2)64、35をオフさせる制御信号(ローレベルの信号)が出力される。

【0059】また、リセットパルスBが立ち上がることにより、先頭検出器8の出力信号(RSフリップフロップ84の出力信号)Fが立ち上がる。リセットパルスBは、ガードタイムGT期間内に立ち下がる(ローレベルとなる)が、先頭検出器8の出力信号Fはオン(ハイレベル)に保たれ、また、RSフリップフロップ93、97の出力信号J、Kもオフに保たれる。

【0060】ガードタイムGT終了後、つぎのパケット(パケットN)が受信される。一般に、パケットの先頭の入力パターンは「10101」という1と0との交番パターンである。これにより、コンパレータ91、94の出力信号D、Eは、パケットの先頭1ビット目の大きさに応じてオンする。たとえば、前置増幅回路の出力信号Aが基準信号V_{ref1}よりも大きく基準信号V_{ref2}よりも小さい場合、コンパレータ91の出力信号Dのみがオンし、ANDゲート92の出力信号Gがオンし、スイッチ(S.W1)63、34を制御する制御信号Jがオンする。

【0061】また、パケットの先頭1ビット目でRSフリップフロップ83の出力信号がオンとなり、2ビット目でRSフリップフロップ84の出力信号Fがオフとなる。すなわち、先頭検出器8の出力信号Fには、リセッ

トパルス入力からつぎのパケットの先頭1ビット目までの期間に対して出力が得られ、スイッチコントローラ9のゲート信号となる。先頭検出器8の出力信号Fが2ビット目でオフとなることにより、AND回路92, 95, 96の出力信号G, H, Iがオフとなるが、RSフリップフロップ93, 97の出力信号J, Kの状態は、つぎのガードタイムGTでリセットパルスが立ち上がるまで保たれる。

【0062】図10は、前置増幅回路の出力信号が基準信号Vref1, Vref2よりも大きい場合の制御回路の動作を示すタイミングチャートである。この場合は、コンパレータ91, 94の出力信号D, Eがともにオンし、パケットの先頭1ビット目でANDゲート92, 95, 96の出力信号G, H, Iがオンし、RSフリップフロップ93, 97の出力信号J, Kがオンする。RSフリップフロップ93, 97の出力信号J, Kの状態は、つぎのガードタイムGTでリセットパルスが立ち上がるまで保たれる。

【0063】前述したように、実施の形態5によれば、前置増幅回路の帰還抵抗値と増幅器のオープンループ利得を最適な値に変化させる制御信号を、バーストパケットの先頭でパケットレベルに依存して出力することができる。また、受信パケットの期間内は、この制御信号を保持し、パケットの終了後、つぎのパケットを受信するまでに制御信号をリセットすることができる。

【0064】

【発明の効果】以上説明したとおり、この発明によれば、制御手段が、入力信号のレベルに応じて増幅手段のオープンループ利得および帰還抵抗を同時に変化させる制御を行い、帰還抵抗変化手段が、制御手段の制御により帰還抵抗を変化させ、オープンループ利得変化手段が、制御手段の制御により増幅手段のオープンループ利得を変化させ、十分な位相余裕を確保するため、最小受光側では十分な利得を確保し、最大受光側では回路飽和による出力波歪を低減し、また、消光比劣化が大きい入力信号に対しても、波形歪の増大を抑えつつ、安定動作することができる、という効果を奏する。

【0065】つぎの発明によれば、スイッチ手段が、制御手段からの制御によりオン、オフ（電流経路を開閉）し、増幅手段の増幅部負荷抵抗手段に並列接続される抵抗を切り替え、増幅手段のオープンループ利得を変化させるため、簡単な回路によりオープンループ利得変化手段を構成することができ、コストを低減することができる、という効果を奏する。

【0066】つぎの発明によれば、スイッチ手段が、制御手段からの制御によりオン、オフ（電流経路を開閉）し、増幅手段の増幅部エミッタ抵抗手段に並列接続される抵抗を切り替え、増幅手段のオープンループ利得を変化させるため、簡単な回路によりオープンループ利得変化手段を構成することができ、コストを低減することが

できる、という効果を奏する。

【0067】つぎの発明によれば、増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側と電源手段との間に配置された可変抵抗手段が、制御手段からの制御により抵抗値を変化させるため、交流的にみて実効的な増幅手段の負荷抵抗値を変化させてオープンループ利得を変化させることができる、という効果を奏する。

【0068】つぎの発明によれば、増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側と電源手段との間に配置された可変抵抗手段が、制御手段からの制御により抵抗値を変化させるため、交流的にみて実効的な増幅手段のエミッタ抵抗値を変化させてオープンループ利得を変化させることができる、という効果を奏する。

【0069】つぎの発明によれば、電源手段が、無信号時における増幅手段の増幅部負荷抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力する。これにより、オープンループ利得を変化させることによる直流バイアスの変化を抑えることができるため、無信号時における出力点電位の変動やバーストパケットごとの消費電力の変動を抑えることができる、という効果を奏する。

【0070】つぎの発明によれば、電源手段が、無信号時における増幅手段の増幅部エミッタ抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力する。これにより、オープンループ利得を変化させることによる直流バイアスの変化を抑えることができるため、無信号時における出力点電位の変動やバーストパケットごとの消費電力の変動を抑えることができる、という効果を奏する。

【0071】つぎの発明によれば、電源手段が、ダミー回路により、無信号時における増幅手段の増幅部負荷抵抗手段または増幅部エミッタ抵抗手段の増幅トランジスタ側電圧と等しい電圧を出力する。これにより、オープンループ利得を変化させることによる直流バイアスの変化を抑えることができるため、無信号時における出力点電位の変動やバーストパケットごとの消費電力の変動を抑えることができる、という効果を奏する。

【0072】つぎの発明によれば、制御手段が、入力信号のパケットの先頭において、増幅手段のオープンループ利得および帰還抵抗を同時に変化させる制御を行う。これにより、入力信号のパケットの先頭から増幅手段のオープンループ利得および帰還抵抗が同時に変化することになるため、入力信号のパケットの先頭から、最小受光側では十分な利得を確保し、最大受光側では回路飽和による出力波歪を低減し、また、消光比劣化が大きい入力信号に対しても、波形歪の増大を抑えつつ、安定動作することができる、という効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1にかかる前置増幅回路の構成を示す図である。

【図2】 この発明の実施の形態2にかかる前置増幅回路の構成を示す図である。

15

【図3】 実施の形態2にかかる前置増幅回路の他の構成を示す図である。

【図4】 この発明の実施の形態3にかかる前置増幅回路の構成を示す図である。

【図5】 実施の形態3にかかる前置増幅回路の他の構成を示す図である。

【図6】 この発明の実施の形態4にかかる前置増幅回路の構成を示す図である。

【図7】 実施の形態4にかかる前置増幅回路の他の構成を示す図である。

【図8】 本発明の実施の形態5にかかる制御回路の構成を示す図である。

【図9】 実施の形態5にかかる制御回路の動作を示す

16

タイミングチャートである。

【図10】 実施の形態5にかかる制御回路の動作を示すタイミングチャートである。

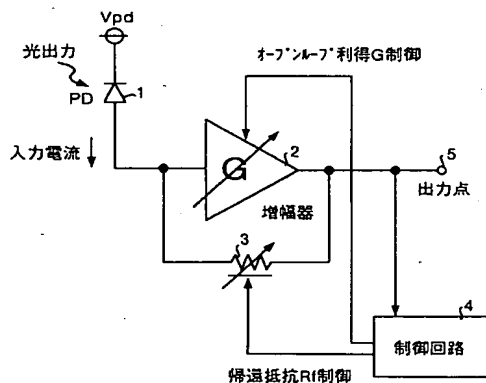
【図11】 従来における前置増幅回路の構成を示す図である。

【図12】 従来における前置増幅回路の入出力特性を示す図である。

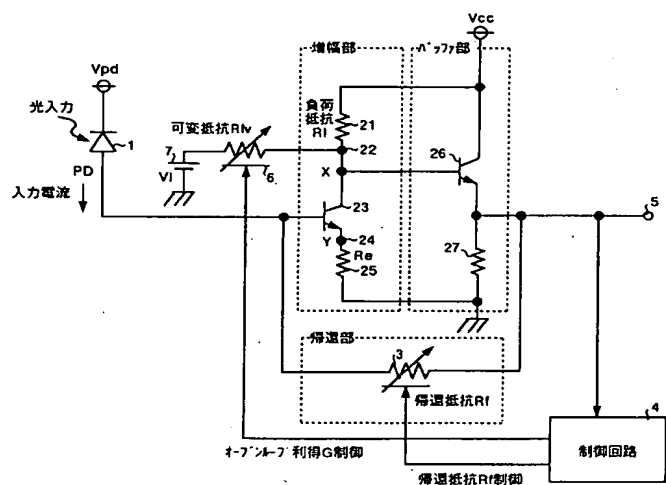
【符号の説明】

- 1 受光素子（フォトダイオード）、2 増幅器、3 帰還抵抗、4 制御回路、5 出力点、6 可変抵抗、7 電源、8 先頭検出器、9 スイッチコントローラ、70 ダミー回路。

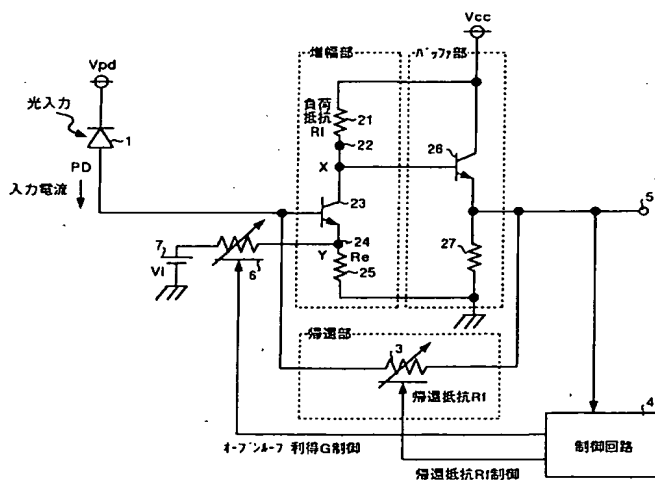
【図1】



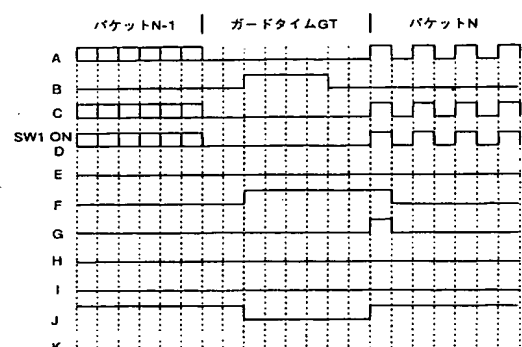
【図2】



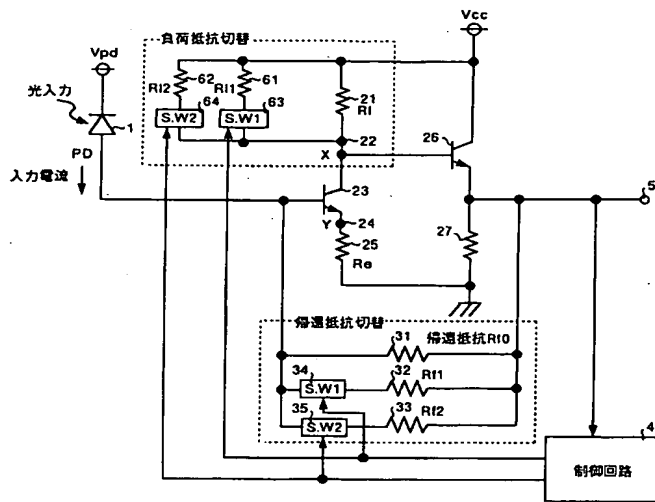
【図3】



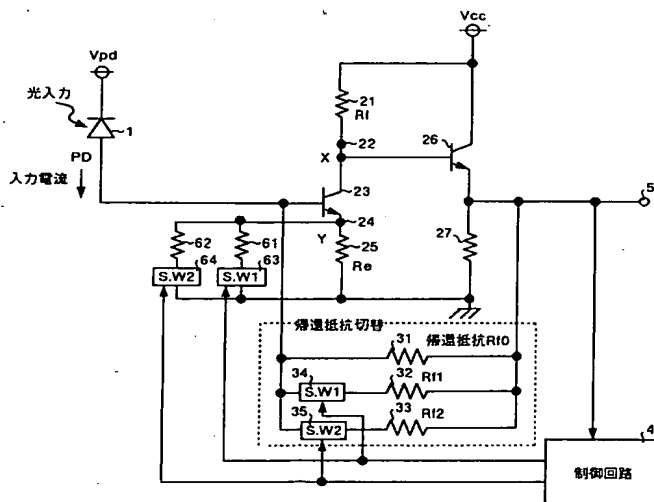
【図9】



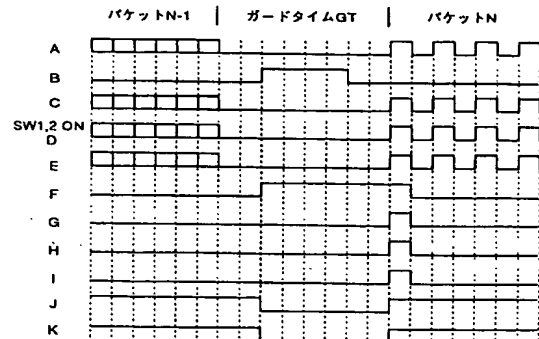
【図4】



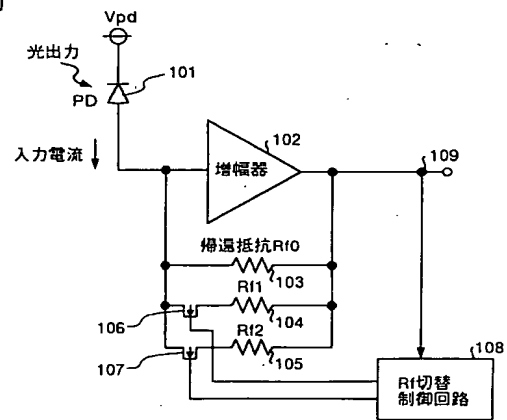
【図5】



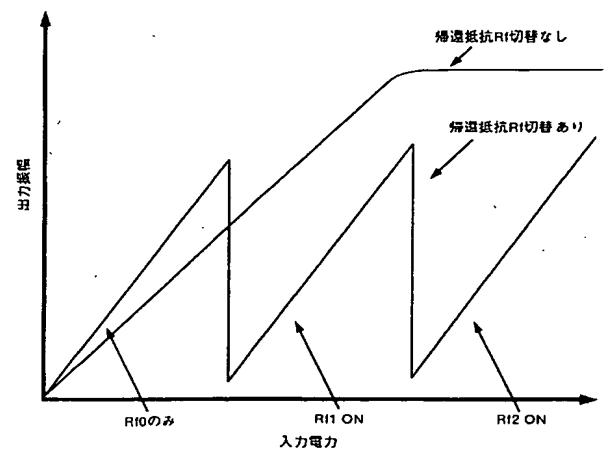
【図10】



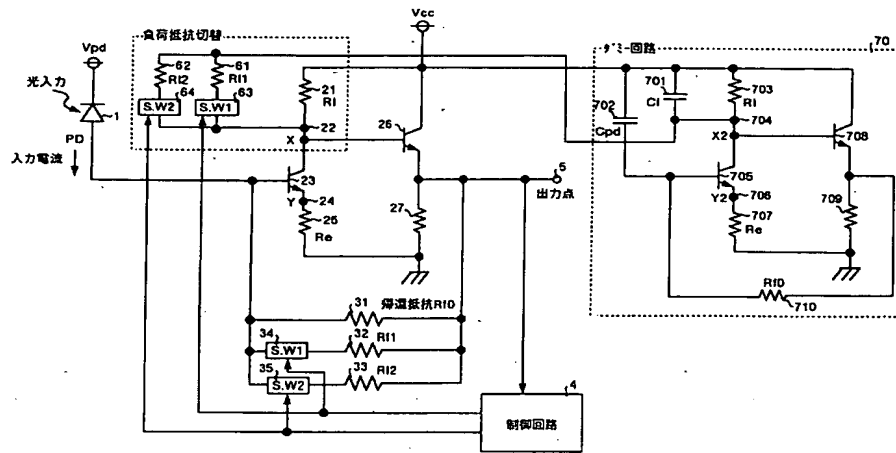
【図11】



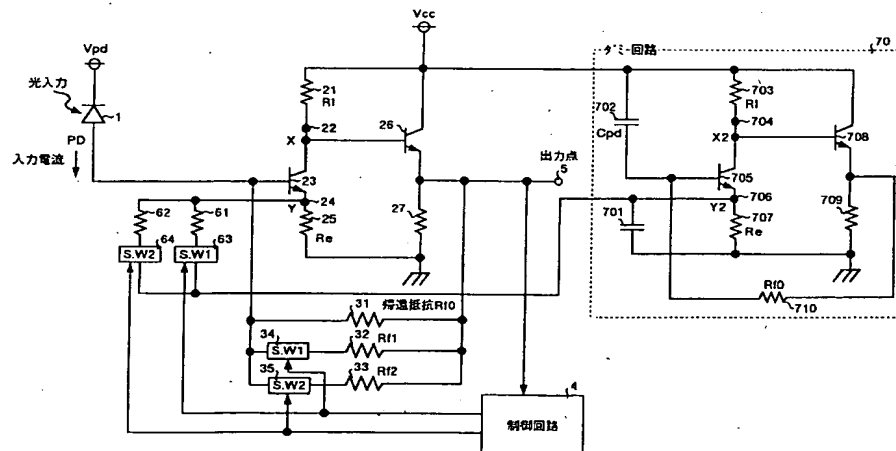
【図12】



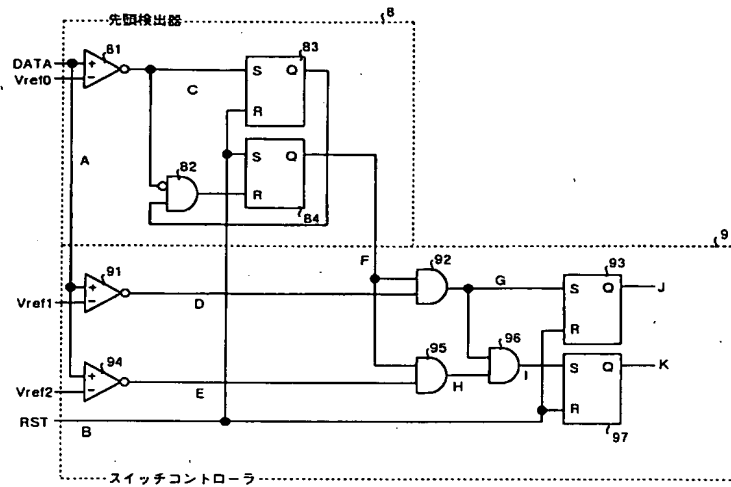
【図 6】



【図 7】



【図8】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーム (参考)

H 0 4 B 10/28
10/26
10/14
10/04
10/06

F ターム (参考) 5J092 AA01 AA51 AA56 CA32 CA54
CA87 FA10 FA18 HA02 HA25
HA26 HA44 KA01 KA12 KA36
MA13 MA20 SA01 TA01 TA06
UL02 VL02 VL03 VL07
5J100 JA01 KA05 LA09 LA10 QA00
SA02
5K002 AA03 BA15 CA01 CA10